

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085614
 (43)Date of publication of application : 30.03.2001

(51)Int.Cl. H01L 27/00
 G06F 17/50
 H01L 21/82
 H01L 21/768

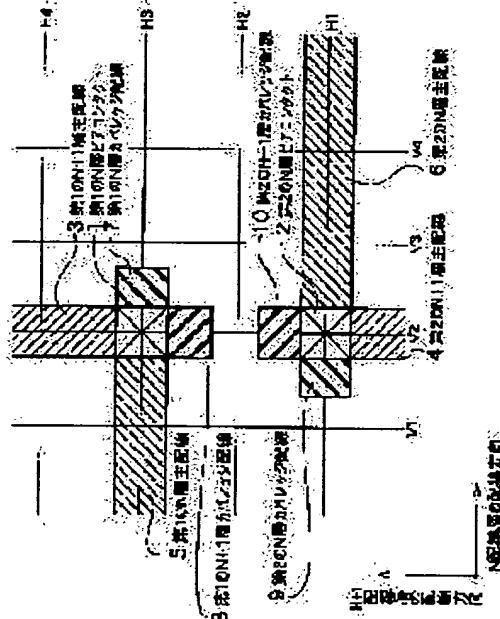
(21)Application number : 11-257979 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 10.09.1999 (72)Inventor : MAENO MUNEAKI
 KIMURA KENJI
 SEI TOSHIKAZU

(54) SEMICONDUCTOR DEVICE, DESIGNING METHOD THEREOF AND COMPUTER-READABLE RECORDING MEDIUM HAVING STORED DESIGNING PROGRAMS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a high integration degree with a small number of poor contacts of metal wirings with via contacts and a designing method thereof.

SOLUTION: The device has via contacts 1, 2 and main wirings 3-6 connected to the via contacts and the ends. It has coverage wirings 7-10 having a line width not wider than that of the main wirings and the wirings 7-10 follow the ends of the main wirings 3-6 and expand from the via contacts 1-2 in only a parallel direction to the wiring direction of the main wirings 3-6. Owing to the coverage wirings 7-10 having a line width not wider than that of the main wirings, rounding the ends of the main wirings 3-6 can be suppressed, the line width broadening of the main wirings 3-6 around the via contacts 1-2 can be suppressed and hence other main wirings or other via contacts may be disposed on designed grids or grid points adjacent the via contacts 1-2, without violating design rules.



LEGAL STATUS

[Date of request for examination] 27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85614

(P2001-85614A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl.⁷
H 01 L 27/00
G 06 F 17/50
H 01 L 21/82
21/768

識別記号

F I
H 01 L 27/00
G 06 F 15/60
H 01 L 21/82
21/90

データコード(参考)
5 B 0 4 6
6 5 8 J 5 F 0 3 3
C 5 F 0 6 4
B

審査請求 未請求 請求項の数 6 O.L. (全 14 頁)

(21)出願番号

特願平11-257979

(22)出願日

平成11年9月10日 (1999.9.10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 前野 宗昭

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 木村 健次

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

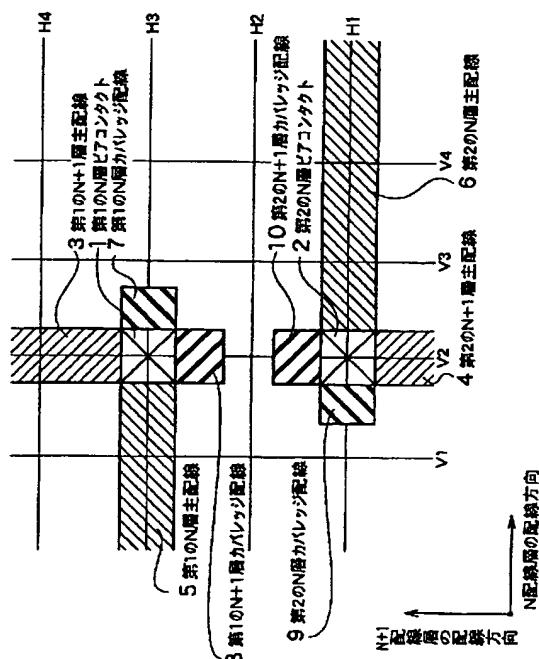
最終頁に続く

(54)【発明の名称】 半導体装置、その設計方法、及びその設計プログラムを格納したコンピュータ読み取り可能な記録媒体

(57)【要約】

【課題】 金属配線とヴィアコンタクトの接触不良が少なく、且つ、集積度の高い半導体装置及びその設計方法を提供する。

【解決手段】 ヴィアコンタクト(1、2)と、終端においてヴィアコンタクトに接続する主配線(3～6)とを有する半導体装置において、主配線の配線方向に対して平行な方向にのみ主配線の終端に続けてヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線より狭いカバレッジ配線(7～10)を有している。線幅が主配線と同じあるいは狭いカバレッジ配線を設けることで、主配線の終端において丸めの発生を抑えることができる。また、ヴィアコンタクト周辺において主配線の線幅の広がりを抑えることができるため、ヴィアコンタクトに隣接する設計グリッドあるいはグリッド点上に、他の主配線あるいは他のヴィアコンタクトをデザインルールに違反することなく、配置することができる。



【特許請求の範囲】

【請求項1】 ヴィアコンタクトと、終端において前記ヴィアコンタクトに接続する主配線とを有する半導体装置において、前記主配線の配線方向に対して平行な方向にのみ該主配線の終端に続けて前記ヴィアコンタクトから張り出して配置された、線幅が該主配線と同じあるいは該主配線よりも狭いカバレッジ配線をさらに有することを特徴とする半導体装置。

【請求項2】 ヴィアコンタクトと、終端において前記ヴィアコンタクトに接続する主配線とを有する半導体装置において、前記主配線の配線方向に対して垂直な方向にのみ該主配線の終端に続けて前記ヴィアコンタクトから張り出して配置された、線幅が該主配線と同じあるいは該主配線よりも狭いカバレッジ配線をさらに有することを特徴とする半導体装置。

【請求項3】 自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、

自動配線ツールを用いて、N+1配線層とN配線層の主配線と、該N+1配線層と該N配線層間を電気的に接続するN層ヴィアコンタクトを配置して、前記機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計方法において、

前記N層ヴィアコンタクトは、

前記N層ヴィアコンタクトの上及び前記N+1配線層の配線方向に対して0度方向及び180度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN+1層カバレッジ領域と、

前記N層ヴィアコンタクト下及び前記N配線層の配線方向に対して0度方向及び180度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN層カバレッジ領域とを含むことを特徴とする半導体装置の設計方法。

【請求項4】 自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、

自動配線ツールを用いて、N+1配線層とN配線層の主配線と、該N+1配線層と該N配線層間を電気的に接続するN層ヴィアコンタクトを配置して、前記機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計方法において、

前記N層ヴィアコンタクトは、

前記N層ヴィアコンタクトの上及び前記N+1配線層の配線方向に対して90度方向及び270度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN+1層カバレッジ領域と、

前記N層ヴィアコンタクト下及び前記N配線層の配線方向に対して90度方向及び270度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN層カバレッジ領域とを含むことを特徴とする半導体装置の設計方法。

【請求項5】 自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、

自動配線ツールを用いて、N+1配線層とN配線層の主配線と、該N+1配線層と該N配線層間を電気的に接続するN層ヴィアコンタクトを配置して、前記機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計プログラムにおいて、

前記N層ヴィアコンタクトは、

前記N層ヴィアコンタクトの上及び前記N+1配線層の配線方向に対して0度方向及び180度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN+1層カバレッジ領域と、

前記N層ヴィアコンタクト下及び前記N配線層の配線方向に対して0度方向及び180度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN層カバレッジ領域とを含むことを特徴とする半導体装置の設計プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項6】 自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、

自動配線ツールを用いて、N+1配線層とN配線層の主配線と、該N+1配線層と該N配線層間を電気的に接続するN層ヴィアコンタクトを配置して、前記機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計プログラムにおいて、

前記N層ヴィアコンタクトは、

前記N層ヴィアコンタクトの上及び前記N+1配線層の配線方向に対して90度方向及び270度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN+1層カバレッジ領域と、

前記N層ヴィアコンタクト下及び前記N配線層の配線方向に対して90度方向及び270度方向にのみ該N層ヴィアコンタクトから張り出して配置された、線幅が前記主配線と同じあるいは該主配線よりも狭いN層カバレッジ領域とを含むことを特徴とする半導体装置の設計プログラムを格納したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

計方法、及びその設計プログラムを格納したコンピュータ読み取り可能な記録媒体に係わり、特に、多層配線構造を有する半導体装置に関わる。さらに特に、配線層間を接続するヴィアコンタクトにカバレッジ配線を含めることにより、金属配線の微細化及び集積度の向上を図った半導体装置の設計方法に関する。

【0002】

【従来の技術】近年、半導体集積回路において、微細加工技術は急速に進歩しており、半導体集積回路のパターン寸法が縮小されている。しかし、このパターン寸法の縮小により、パターン形状に現れる弊害要素が顕在化するようになってきている。

【0003】例えば、金属配線の微細化においては、マスクの精度を上げたとしても、リソグラフィ工程において、光近接効果により金属配線の終端で丸めが生じる。この丸めが生じた金属配線の終端において異なる配線層とヴィアコンタクトを介して接続する場合、ヴィアコンタクトとの接続面積が減ってしまうか、無くなってしまうために、金属配線とヴィアコンタクトとの接触抵抗が増大するか、信号線となる金属配線のオープン不良の可能性が出てくる。

【0004】図11は、従来技術に係わる金属配線の設計パターンを示す平面図である。上層の金属配線(53、54)の終端でヴィアコンタクト(51、52)を介して下層の金属配線(55、56)と接続されている。図12は、図1の設計図に従って製造された金属配線を示す平面図である。図13は、図12の設計グリッドV2に沿った断面図である。設計グリッドは、各層の金属配線同士が隣り合うことのできる最小の間隔を示す。図12に示すように、金属配線(53、54)の製造工程(リソグラフィ工程)において、金属配線(53、54)の終端で丸めが生じてしまう。そして図13に示すように、矢印に示す方向に金属配線(53、54)の終端が移動していき、ヴィアコンタクト(51、52)との接続面積が減少していく。図13中における点線は設計図面上での配線の終端を示している。

【0005】そこで一般に、金属配線とヴィアコンタクトとの接続面積を増やすために、OPC(Optical Proximity Correction)と呼ばれる、マスク描画データの作成段階でデータ補正を金属配線の終端に入れる方法が用いられる。その一つの方法としてヴィアコンタクトに対して全方向に金属配線のカバレッジを増やす補助パターンを付与する方法がある。図14は、ヴィアコンタクトに対して金属配線のカバレッジを全方向に入れた補正パターン(58、59)を付与した設計パターンを示す。図3に示す設計パターンに従って金属配線を形成することで、金属配線の終端の丸めが解消され、ヴィアコンタクトとの接続面積を増やすことができる。

【0006】

【発明が解決しようとする課題】しかし、図14に示す

補正パターン(58、59)を付与する方法では、ヴィアコンタクト(51、52)があるところの金属配線の幅が、ヴィアコンタクト(51、52)がないところに比して広くなる。したがって、図14に示すように、ヴィアコンタクト(51、52)を設計グリッドH2を空けて配置する必要が生じる。また、ヴィアコンタクト(51、52)に隣接する設計グリッド上に他の金属配線及び他のヴィアコンタクトを配置することもできなくなる。もしくは、設計グリッドの間隔を補正パターン(58、59)の分だけ広げることで上記問題点は解決する。しかし、いづれにしても補正パターン(58、59)により金属配線の集積度は落ちてしまう。

【0007】また、補正パターンを付与することで、設計パターンのデータ量が増加するため、マスク描画データの作製で時間がかかり、半導体集積回路の開発期間の短縮に大きな障害となっている。

【0008】本発明は上記問題点を解決するために成されたものであり、本発明の目的は、金属配線とヴィアコンタクトの接触不良が少なく、且つ、集積度の高い半導体装置及びその設計方法を提供することである。

【0009】本発明の他の目的は、開発期間を短くした半導体装置及びその設計方法を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の特徴は、ヴィアコンタクトと、終端においてヴィアコンタクトに接続する主配線とを有する半導体装置において、主配線の配線方向に対して平行な方向にのみ主配線の終端に統けてヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線より狭いカバレッジ配線をさらに有する半導体装置であることである。

【0011】ここで、「ヴィアコンタクト」は、半導体装置の多層配線構造において、上下に隣接する金属配線層間を電気的に接続するために層間膜中に形成された導体プラグである。ヴィアコンタクトの平面形状は問わない。方形、円形あるいはその他の平面形状であっても構わない。また、「主配線」は、半導体装置においてチップ上の機能ブロックあるいは素子間を電気的に接続し、信号の伝達のために機能する金属配線である。さらに、「カバレッジ配線」は、「主配線」の終端に統けて配置されているので主配線に電気的に接続されているが、信号伝達の機能は有していない金属配線である。カバレッジ配線は、構成材料、製造方法、及び製造工程が主配線と同じであることが望ましい。カバレッジ配線は、ヴィアコンタクトの周辺のうち、主配線の配線方向に平行な方向にのみ配置されており、従来のようにヴィアコンタクト周辺全体にわたってカバレッジされた補正パターンとは異なるものである。また、カバレッジ配線の平面形状は問わない。方形、円形あるいはその他の形状であっても構わない。

【0012】本発明の第1の特徴によれば、主配線の配線方向に対して平行な方向にのみ配線の終端に続けて配置された、線幅が主配線と同じあるいは狭いカバレッジ配線を設けることで、金属配線の終端において丸めが発生しても、その丸めはカバレッジ配線で発生し、主配線の終端においては発生を抑えることができるため、ヴィアコンタクトと主配線との接触不良あるいはオープン不良を防ぐことができる。また、ヴィアコンタクト周辺において主配線の線幅の広がりを抑えることができるため、ヴィアコンタクトに隣接する設計グリッドあるいはグリッド点上に、他の主配線あるいは他のヴィアコンタクトをデザインルールに違反することなく、配置することができる。したがって、金属配線及びヴィアコンタクトを高密度に配置することができ、集積度の高い金属配線のレイアウトを行うことができる。

【0013】本発明の第2の特徴は、ヴィアコンタクトと、終端においてヴィアコンタクトに接続する主配線とを有する半導体装置において、主配線の配線方向に対して垂直な方向にのみ主配線の終端に続けてヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線より狭いカバレッジ配線をさらに有する半導体装置であることである。

【0014】本発明の第2の特徴によれば、主配線の配線方向に対して垂直な方向にのみ配線の終端に続けて配置された、線幅が主配線と同じあるいは狭いカバレッジ配線を設けることで、金属配線の終端において丸めが発生しても、その丸めはカバレッジ配線で発生し、主配線の終端においては発生を抑えることができるため、ヴィアコンタクトと主配線との接触不良あるいはオープン不良を防ぐことができる。

【0015】本発明の第3の特徴は、自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、自動配線ツールを用いて、N+1配線層とN配線層の主配線と、N+1配線層とN配線層間を電気的に接続するN層ヴィアコンタクトを配置して、機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計方法において、N層ヴィアコンタクトは、N層ヴィアコンタクトの上及びN+1配線層の配線方向に対して0度方向及び180度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN+1層カバレッジ領域と、N層ヴィアコンタクト下及びN配線層の配線方向に対して0度方向及び180度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN層カバレッジ領域とを含む半導体装置の設計方法であることである。

【0016】ここで、「N」は、X層多層配線構造を有する半導体装置において、 $0 \leq N \leq X-1$ の条件を満たす任意の自然数である。ただし、N=0の場合、N配線

層は基板を示し、N+1配線層は第1の配線層を示す。

【0017】本発明の第3の特徴によれば、主配線の配線方向に対して0度及び180度方向にのみ配線の終端に続けて配置された、線幅が主配線と同じあるいは狭いカバレッジ領域をヴィアコンタクトに含ませることで、自動配線ツールにより形成された金属配線において、主配線が終端においてヴィアコンタクトと接続する場合に、金属配線の終端において丸めが発生しても、その丸めはカバレッジ配線で発生し、主配線の終端においては発生を抑えることができる。したがって、ヴィアコンタクトと主配線との接触不良あるいはオープン不良を防ぐことができる。また、ヴィアコンタクト周辺において主配線の線幅の広がりを抑えることができるため、ヴィアコンタクトに隣接する設計グリッドあるいはグリッド点上に、他の主配線あるいは他のヴィアコンタクトをデザインルールに違反することなく、配置することができる。したがって、金属配線及びヴィアコンタクトを高密度に配置することができ、集積度の高い金属配線のレイアウトを行うことができる。また、金属配線のレイアウト作業において、自動配線ツールにかけるヴィアコンタクトの情報に、カバレッジ領域を予め含ませることにより、マスク描画データの作成時にカバレッジ領域を補正パターンとして主配線に付与することができないので、設計パターンのデータ量が増加することなく、マスク描画データの作製で時間を短縮し、半導体装置の開発期間を短縮することができる。

【0018】本発明の第4の特徴は、自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、自動配線ツールを用いて、N+1配線層とN配線層の主配線と、N+1配線層とN配線層間を電気的に接続するN層ヴィアコンタクトを配置して、機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計方法において、N層ヴィアコンタクトは、N層ヴィアコンタクトの上及びN+1配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN+1層カバレッジ領域と、N層ヴィアコンタクト下及びN配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN層カバレッジ領域とを含む半導体装置の設計方法であることである。

【0019】本発明の第4の特徴によれば、主配線の配線方向に対して90度及び270度方向にのみ配線の終端に続けて配置された、線幅が主配線と同じあるいは狭いカバレッジ領域をヴィアコンタクトに含ませることで、自動配線ツールにより形成された金属配線において、主配線が終端においてヴィアコンタクトと接続する場合に、金属配線の終端において丸めが発生しても、そ

の丸めはカバレッジ配線で発生し、主配線の終端においては発生を抑えることができる。したがって、ヴィアコンタクトと主配線との接触不良あるいはオープン不良を防ぐことができる。また、金属配線のレイアウト作業において、自動配線ツールにかけるヴィアコンタクトの情報に、カバレッジ領域を予め含めることにより、マスク描画データの作成時にカバレッジ領域を補正パターンとして主配線に付与することができないので、設計パターンのデータ量が増加することなく、マスク描画データの作製で時間を短縮し、半導体装置の開発期間を短縮することができる。

【0020】本発明の第5の特徴は、自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、自動配線ツールを用いて、N+1配線層とN配線層の主配線と、N+1配線層とN配線層間を電気的に接続するN層ヴィアコンタクトを配置して、機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計プログラムにおいて、N層ヴィアコンタクトは、N層ヴィアコンタクトの上及びN+1配線層の配線方向に対して0度方向及び180度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN+1層カバレッジ領域と、N層ヴィアコンタクト下及びN配線層の配線方向に対して0度方向及び180度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN層カバレッジ領域とを含む半導体装置の設計プログラムを格納したコンピュータ読み取り可能な記録媒体であることである。

【0021】本発明の第6の特徴は、自動配置ツールを用いて、機能ブロックあるいは素子をチップ上に配置するステップと、自動配線ツールを用いて、N+1配線層とN配線層の主配線と、N+1配線層とN配線層間を電気的に接続するN層ヴィアコンタクトを配置して、機能ブロックあるいは素子間を接続する金属配線を形成するステップとを有するX層配線構造からなる半導体装置の設計プログラムにおいて、N層ヴィアコンタクトは、N層ヴィアコンタクトの上及びN+1配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN+1層カバレッジ領域と、N層ヴィアコンタクト下及びN配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクトから張り出して配置された、線幅が主配線と同じあるいは主配線よりも狭いN層カバレッジ領域とを含む半導体装置の設計プログラムを格納したコンピュータ読み取り可能な記録媒体であることである。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図面の記載において従来技

術と類似な部分には類似な符号を付している。図1は、本発明の第1の実施の形態に係わる半導体装置の金属配線を示す。

【0023】(第1の実施の形態)図1に示すように、本発明の第1の実施の形態に係わる半導体装置は、ヴィアコンタクト(1、2)と、終端においてヴィアコンタクト(1、2)に接続する主配線(3～6)とを有する半導体装置において、主配線(3～6)の配線方向に対して平行な方向にのみ主配線(3～6)の終端に統けてヴィアコンタクト(1、2)から張り出して配置された、線幅が主配線(3～6)と同じあるいは主配線(3～6)よりも狭いカバレッジ配線(7～10)を有している。

【0024】ヴィアコンタクト(1、2)は、半導体装置の多層配線構造において、上下に隣接する金属配線層間を電気的に接続するため層間膜中に形成された導体プラグである。図1に示すように、第1の実施の形態においてヴィアコンタクトは、第1のヴィアコンタクト1と、第2のヴィアコンタクト2からなる。第1及び第2のヴィアコンタクト(1、2)は、設計グリッド上に配置されている。設計グリッドは、各層の金属配線同士が隣り合うことのできる最小の間隔を示し、図1では、垂直方向の設計グリッド(V1～V4)及び水平方向の設計グリッド(H1～H4)が格子状に配列されている。垂直方向の設計グリッドと水平方向の設計グリッドの交差する点をグリッド点と定義すると、第1のヴィアコンタクト1は、グリッド点(V2-H3)の上に配置され、第2のヴィアコンタクト2は、グリッド点(V2-H1)の上に配置されている。また、第1の実施の形態においては、第1及び第2のヴィアコンタクトの口径が主配線(3～6)の線幅と同じである場合について述べるが、本発明はヴィアコンタクトの口径が、主配線の線幅よりも狭い場合についても適用可能である。さらに図面中では、簡略的に方形状の平面形状で記載されているが、円形あるいはその他の平面形状であっても構わない。

【0025】主配線(3～6)は、半導体装置においてチップ上の機能ブロックあるいは素子間を電気的に接続し、信号の伝達のために機能する金属配線である。図1に示すように、第1の実施の形態において主配線(3～6)は、第1のN層ヴィアコンタクト1にN+1配線層において接続する第1のN+1層主配線3と、N配線層において接続する第1のN層主配線5と、第2のN層ヴィアコンタクト2にN+1配線層において接続する第2のN+1層主配線4と、N配線層において接続する第2のN層主配線6とからなる。総ての主配線(3～6)は終端においてN層ヴィアコンタクト(1、2)に接続されている。また、総ての主配線(3～6)は設計グリッド上に配置されている。なお、第1の実施の形態において、Nは、X層多層配線構造を有する半導体装置におい

て、 $0 \leq N \leq X-1$ の条件を満たす任意の自然数である。ただし、 $N=0$ の場合、 N 配線層は基板を示し、 $N+1$ 配線層は第 1 の配線層を示す。また、 N 配線層と $N+1$ 配線層を接続するヴィアコンタクトを N 層ヴィアコンタクト(1、2)と定義する。

【0026】カバレッジ配線(7~10)は、金属配線の終端に丸めが生じても、その丸めがカバレッジ配線内ののみで生じさせるための金属配線である。主配線(3~6)の終端に続けて配置されているため、主配線(3~6)に電気的に接続されているが、信号伝達の機能は有していない。また、カバレッジ配線(7~10)は、構成材料、製造方法、及び製造工程が主配線(3~6)と同じであることが望ましい。カバレッジ配線(7~10)は、ヴィアコンタクト(1、2)の周辺のうち、主配線(3~6)の配線方向に平行な方向にのみ配置されており、従来のようにヴィアコンタクト周辺全体にわたってカバレッジする補正パターンとは異なるものである。また、図1においてカバレッジ配線(7~10)の平面形状を方形状に記載しているが、この形状に限られるわけではない。円形あるいはその他の形状であっても構わない。

【0027】また、カバレッジ配線(7~10)は、図1に示すように、第1の実施の形態において、第1の $N+1$ 層主配線3の終端に続けて配置された第1の $N+1$ 層カバレッジ配線8と、第2の $N+1$ 層主配線4の終端に続けて配置された第2の $N+1$ 層カバレッジ配線10と、第1の N 層主配線5の終端に続けて配置された第1の N 層カバレッジ配線7と、第2の N 層主配線6の終端に続けて接続された第2の N 層カバレッジ配線9とからなる。図1においては、 N 層ヴィアコンタクト(1、2)に接続する主配線(3~6)の終端を總て N 層ヴィアコンタクト(1、2)上に配置したが、本発明は、總ての主配線の終端が N 層ヴィアコンタクト(1、2)上に配置される場合に限定されるわけではない。図1中の4つの主配線(3~6)には、主配線の途中にヴィアコンタクトが形成されているものも含まれていても構わない。途中にヴィアコンタクトが形成されている主配線にはカバレッジ配線は配置されない。

【0028】図2は、図1の設計グリッドV2に沿った断面図である。図2に示すように、第1の N 層ヴィアコンタクト1の上に、第1の $N+1$ 層主配線3の終端が配置され、第1の N 層ヴィアコンタクト1の下に、第1の N 層主配線5が配置されている。同様に、第2の N 層ヴィアコンタクト2の上に、第2の $N+1$ 層主配線4の終端が配置され、第2の N 層ヴィアコンタクト2の下に、第2の N 層主配線6が配置されている。図2は、 $N+1$ 配線層の配線方向に沿った切断面であるため、第1の $N+1$ 層主配線3の終端に続けて第1の $N+1$ 層カバレッジ配線8が第1の N 層ヴィアコンタクト1から張り出して配置されている。同様に、第2の $N+1$ 層主配線4の

終端に続けて第2の $N+1$ 層カバレッジ配線10が第2の N 層ヴィアコンタクト2から張り出して配置されている。

【0029】図3(a)は、図1の設計グリッドH3に沿った断面図である。また、図3(b)は、図2のH1グリッドに沿った断面図である。図3(a)及び図3(b)は N 配線層の配線方向に沿った断面であるため、第1の N 層ヴィアコンタクト1の下に配置された第1の N 層主配線5の終端に続けて第1の N 層カバレッジ配線7が第1の N 層ヴィアコンタクト1から張り出して配置されている。また、第2の N 層ヴィアコンタクト2の下に配置された第2の N 層主配線6の終端に続けて第2の N 層カバレッジ配線9が第2の N 層ヴィアコンタクト2から張り出して配置されている。

【0030】次に、上記の半導体装置の設計方法について説明する。

【0031】(1)まず、ステップS1において、通常のLSIの自動配置ツールを用いて、LSIを構成する機能ブロックあるいは素子をデザインルールに違反することなく、チップ上にコンパクトに配置する。この時、各機能ブロックなどを電気的に接続する金属配線を配置するための所定の配線スペースが各機能ブロックなどの間に確保されている。

【0032】(2)次に、ステップS2において、通常の自動配線ツールを用いて、所定の配線スペース上に、 $N+1$ 配線層及び N 配線層の主配線及び $N+1$ 配線層と N 配線層間を電気的に接続する N 層ヴィアコンタクトを配置して、各機能ブロックなどを接続する金属配線、また入力信号及び出力信号を入出力パッドに送るための配線パターンを形成する。

【0033】ここで、通常のLSIの金属配線は、予め配線方向が各配線層ごとに垂直方向あるいは水平方向のいずれかに決まって配線される。つまり、配線層が決まればその配線層に形成される金属配線の配線方向は自動的に決まることになる。したがって、自動配線ツールを用いて配置する N 層ヴィアコンタクトは、 $N+1$ 配線層と N 配線層間を接続するヴィアコンタクトであるため、接続される主配線の配線方向も自動的に決まる。そこで、ステップS2において、 N 層ヴィアコンタクトに、接続される N 配線層及び $N+1$ 配線層の主配線の配線方向に平行な方向にカバレッジ領域を予め含ませておくことにより、図1に示したようなカバレッジ配線を含んだ金属配線を自動配線ツールにより作成することができる。

【0034】図4は、本発明に係わる半導体装置の設計方法により作成された金属配線の平面パターンを示す。図4に示すように、 $N+1$ 配線層と N 配線層間を接続する N 層ヴィアコンタクト(1、2)は、 N 層ヴィアコンタクト(1、2)上及び $N+1$ 配線層の配線方向に対し0度方向及び180度方向にのみ N 層ヴィアコンタク

ト(1、2)から張り出して配置された、線幅が主配線(3、4)と同じあるいは主配線(3、4)よりも狭いN+1層カバレッジ領域(12、14)と、N層ヴィアコンタクト(1、2)下及びN配線層の配線方向に対して0度方向及び180度方向にのみN層ヴィアコンタクト(1、2)から張り出して配置された、線幅が主配線(5、6)と同じあるいは主配線(3、4)よりも狭いN層カバレッジ領域(11、13)を含んでいる。

【0035】第1の実施の形態においては、N層ヴィアコンタクトは、第1のN層ヴィアコンタクト1と、第2のN層ヴィアコンタクト2とからなる。第1のN層ヴィアコンタクト1の上には、第1のN+1層カバレッジ領域12がN+1配線層の配線方向に張り出して配置され、第1のN層ヴィアコンタクト1の下には、第1のN層カバレッジ領域11がN配線層の配線方向に張り出して配置されている。同様に、第2のN層ヴィアコンタクト2の上には、第2のN+1層カバレッジ領域14がN+1配線層の配線方向に張り出して配置され、第2のN層ヴィアコンタクト2の下には、第2のN層カバレッジ領域13がN配線層の配線方向に張り出して配置されている。また、第1のN+1層主配線3及び第1のN層主配線5がその終端において第1のN層ヴィアコンタクト1にそれぞれ接続しており、第2のN+1層主配線4及び第2のN層主配線6がその終端において第2のN層ヴィアコンタクト2にそれぞれ接続している。

【0036】図5は図4の設計グリッドV2に沿った断面図である。図5に示すように、第1のN層ヴィアコンタクト1の上に第1のN+1層カバレッジ領域12が配置され、第1のN層ヴィアコンタクト1の下に第1のN層カバレッジ領域11が配置されている。同様に、第2のN層ヴィアコンタクト2の上に第2のN+1層カバレッジ領域14が配置され、第2のN層ヴィアコンタクト2の下に第2のN層カバレッジ領域13が配置されている。N+1配線層の配線方向の沿った断面図である図5においては、第1及び第2のN+1層カバレッジ領域(12、14)が第1及び第2のN層ヴィアコンタクト(1、2)の両側に張り出して形成されているが、第1及び第2のN層カバレッジ領域(11、13)は張り出して形成されていない。また、第1のN+1層カバレッジ領域12の右側の張り出した部分は第1のN+1層主配線3と重なり、第2のN+1層カバレッジ領域14の左側の張り出した部分は第2のN+1層主配線4と重なっている。したがって、N+1配線層の配線構造は、結果的に図2に示したものと同じになる。

【0037】図6(a)は、図4の設計グリッドH3に沿った断面図である。また、図6(b)は、図4のH1グリッドに沿った断面図である。図6(a)に示すように、第1のN層ヴィアコンタクト1の下に第1のN層カバレッジ領域11が配置され、第1のN層ヴィアコンタクト1の上に第1のN+1層カバレッジ領域12が配置

されている。また、図6(b)に示すように、第2のN層ヴィアコンタクト2の下に第2のN層カバレッジ領域13が配置され、第2のN層ヴィアコンタクト2の上に第2のN+1層カバレッジ領域14が配置されている。図6(a)及び図6(b)は、N配線層の配線方向に沿った断面図であるため、第1及び第2のN層カバレッジ領域(11、13)は第1及び第2のN層ヴィアコンタクトの両側に張り出して形成されているが、第1の及び第2のN+1層カバレッジ領域(12、14)は張り出して形成されていない。また、第1のN層カバレッジ領域11の左側の張り出した部分は第1のN層主配線と重なり、第2のN層カバレッジ領域13の右側の張り出した部分は第2のN層主配線6と重なっている。したがって、N配線層の配線構造は、結果的に図3(a)及び図3(b)に示したものと同じになる。

【0038】この半導体装置の設計方法を実行するためのプログラムは、コンピュータ読み取り可能な記録媒体に保存しておいてもよい。この記録媒体をコンピュータシステムによって読みませ、このプログラムを実行して、第1の実施の形態に係わる半導体装置の設計方法を実現することもできる。ここで、記録媒体とは、例えば半導体メモリ、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなどのプログラムを記録することができる種々の媒体である。

【0039】図7は、これらの記録媒体に記録されたプログラムを読み取り、そこに記述された手順に従って、一連の設計方法を実現するコンピュータシステム80の概観を示す鳥瞰図である。コンピュータシステム80の本体前面には、フロッピーディスクドライブ81、およびCD-ROMドライブ82が設けられており、磁気ディスクとしてのフロッピーディスク83、または光ディスクとしてのCD-ROM84を各ドライブ入り口から挿入し、所定の読み出し操作を行うことにより、これらの記録媒体に格納されたプログラムをシステム内にインストールすることができる。また、所定のドライブ装置87を接続することにより、例えばゲームパックなどに使用されている半導体メモリとしてのROM85や、磁気テープとしてのカセットテープ86を用いることもできる。

【0040】第1の実施の形態によれば、N+1層及びN層カバレッジ配線(7~10)あるいはN+1層及びN層カバレッジ領域(11~14)がそれぞれN+1層主配線(3、4)及びN層主配線(5、6)の終端に統いて配置され、N層ヴィアコンタクト(1、2)よりも張り出して形成されているため、金属配線の終端に丸めが生じてもN+1層及びN層カバレッジ領域(11~14)で丸めが生じるため、N+1層主配線(3、4)及びN層主配線(5、6)の終端で発生する丸めを抑えることができる。

【0041】また、N+1層カバレッジ配線(8、1

0) あるいはN+1層カバレッジ領域(12、14)は、設計グリッドH2側に向かってN層ヴィアコンタクト(1、2)より張り出して形成されているため、第1のN層主配線5と第2のN層主配線6は、設計グリッドH2を空けて、設計グリッドH1及び設計グリッドH3の上にそれぞれ配置する必要がある。しかし、第1及び第2のN層主配線(5、6)の線幅は第1及び第2のN層ヴィアコンタクト(1、2)上においても広がりがないため、このグリッドH2には他のN層主配線を通すことができる。同様に設計グリッドH4にも、他の第N層主配線を通すことができる。

【0042】さらに、第1及び第2のN+1層主配線(3、4)の線幅は第1及び第2のN層ヴィアコンタクト(1、2)上においても広がりがないため、第1及び第2のN+1層主配線(3、4)が配置された設計グリッドV2に隣接する設計グリッド(V1、V3)に、他のN+1層主配線を通すことができる。

【0043】さらに、カバレッジ配線(7~10)あるいはカバレッジ領域(11、14)がN層ヴィアコンタクトから張り出して配置されているので、3つのグリッド点(V1-H1、V2-H2、V3-H3)に他のN層ヴィアコンタクトを配置することができない。しかし、ヴィアコンタクトのカバレッジは配線方向のみであるため、N層ヴィアコンタクト(1、2)が配置されたグリッド点(V2-H1、V2-H3)の斜め隣りのグリッド点(V1-H2、V3-H2、V1-H4、V3-H4)に他のヴィアコンタクトを配置することができる。

【0044】このように、主配線の配線方向に対して平行な方向にのみ配線の終端に続けて配置された、線幅が主配線と同じあるいは狭いカバレッジ配線を設けることで、金属配線の終端において丸めが発生しても、その丸めはカバレッジ配線で発生し、主配線の終端においては発生を抑えることができるため、ヴィアコンタクトと主配線との接触不良あるいはオーブン不良を防ぐことができる。また、ヴィアコンタクト周辺において主配線の線幅の広がりを抑えることができるため、ヴィアコンタクトに隣接する設計グリッドあるいはグリッド点上に、他の主配線あるいは他のヴィアコンタクトをデザインルールに違反することなく、配置することができる。したがって、金属配線及びヴィアコンタクトを高密度に配置することができ、集積度の高い金属配線のレイアウトを行うことができる。また、金属配線のレイアウト作業において、自動配線ツールにかけるヴィアコンタクトの情報に、カバレッジ領域を予め含めることにより、マスク描画データ作成時にカバレッジ領域を補正パターンとして主配線に付与することができるので、設計パターンのデータ量が増加することなく、マスク描画データの作製で時間を短縮し、半導体装置の開発期間を短縮することができる。

【0045】(第2の実施の形態)本発明の第1の実施に形態においては、カバレッジ配線あるいはカバレッジ領域は主配線の配線方向に対して平行な方向にのみ配置した場合について述べたが、主配線の配線方向に対して垂直な方向にのみカバレッジを配置しても構わない。図8は本発明の第2の実施の形態に係わる半導体装置の金属配線を示す平面図である。

【0046】図8に示すように、本発明の第2の実施の形態に係わる半導体装置は、ヴィアコンタクト(1、2)と、終端においてヴィアコンタクト(1、2)に接続する主配線(3~6)とを有する半導体装置において、主配線(3~6)の配線方向に対して垂直な方向にのみ主配線(3~6)の終端に続けてヴィアコンタクト(1、2)から張り出して配置された、線幅が主配線(3~6)と同じあるいは主配線(3~6)より狭いカバレッジ配線(15~18)を有している。

【0047】第2の実施の形態において、ヴィアコンタクト(1、2)は、第1のN層ヴィアコンタクト1及び第2のN層ヴィアコンタクト2とからなり、主配線(3~6)は、第1及び第2のN+1層主配線(3、4)及び第1及び第2のN層主配線(5、6)とからなる。ヴィアコンタクト(1、2)及び主配線(3~6)については第1の実施の形態と同じものを用いているため、説明を省略する。

【0048】また、カバレッジ配線(15~18)は、第1のN+1層主配線3の終端に続けて配置された第1のN+1層カバレッジ配線16と、第2のN+1層主配線4の終端に続けて配置された第2のN+1層カバレッジ配線18と、第1のN層主配線5の終端に続けて配置された第1のN層カバレッジ配線15と、第2のN層主配線6の終端に続けて接続された第2のN層カバレッジ配線17とからなる。図8においては、N層ヴィアコンタクト(1、2)に接続する主配線(3~6)の終端を絶てN層ヴィアコンタクト(1、2)上に配置したが、本発明は、絶ての主配線の終端がN層ヴィアコンタクト(1、2)上に配置される場合に限定されるわけではない。図8中の4つの主配線(3~6)には、主配線の途中にヴィアコンタクトが形成されているものも含まれていても構わない。主配線(3~6)の途中でヴィアコンタクト(1、2)が形成されている場合に、主配線(3~6)の配線方向に垂直な方向にヴィアコンタクト(1、2)から張り出してカバレッジ配線(15~18)を形成しても構わない。また、図8においてカバレッジ配線(15~18)の平面形状を方形状に記載しているが、この形状に限られるわけではない。円形あるいはその他の形状であっても構わない。

【0049】図9は、図8の設計グリッドV2に沿った断面図である。図9に示すように、第1のN層ヴィアコンタクト1の上に、第1のN+1層主配線3の終端が配置され、第1のN層ヴィアコンタクト1の下に、第1の

N層主配線5が配置されている。同様に、第2のN層ヴィアコンタクト2の上に、第2のN+1層主配線4の終端が配置され、第2のN層ヴィアコンタクト2の下に、第2のN層主配線6が配置されている。設計グリッドV2は、N配線層の配線方向に対して垂直な方向の設計グリッドであり、同時にN層主配線(5、6)の終端が配置されたヴィアコンタクト(1、2)上の設計グリッドである。したがって、第1のN層主配線5の終端に続けて第1のN層カバレッジ配線15が第1のN層ヴィアコンタクト1から張り出して配置されている。同様に、第2のN層主配線6の終端に続けて第2のN層カバレッジ配線17が第2のN層ヴィアコンタクト2から張り出して配置されている。

【0050】図10(a)は、図8の設計グリッドH3に沿った断面図である。また、図10(b)は、図8の設計グリッドH1に沿った断面図である。設計グリッドH1は、N+1配線層の配線方向に対して垂直な方向の設計グリッドであり、同時に第1のN+1層主配線3の終端が配置された第1のN層ヴィアコンタクト1上の設計グリッドである。したがって、第1のN+1層主配線3の終端に続けて第1のN+1層カバレッジ配線16が第1のN層ヴィアコンタクト1から張り出して配置されている。同様に、設計グリッドH1は、N+1配線層の配線方向に対して垂直な方向の設計グリッドであり、同時に第2の第1のN+1層主配線4の終端が配置された第2のN層ヴィアコンタクト2上の設計グリッドである。したがって、第2のN+1層主配線4の終端に続けて第2のN+1層カバレッジ配線18が第2のN層ヴィアコンタクト2から張り出して配置されている。

【0051】また、第2の実施の形態においても、第1の実施の形態と同様に、N層ヴィアコンタクト(1、2)の情報に、接続される金属配線の配線方向に垂直な方向にカバレッジ領域を予め含ませておくことにより、図8に示したようなカバレッジ配線(15～18)を含んだ金属配線を有する半導体装置を自動配線ツールにより設計することができる。つまり、図8に示すように、第2の実施の形態に係わる半導体装置の設計方法において、N+1配線層とN配線層間を接続するN層ヴィアコンタクト(1、2)は、N層ヴィアコンタクト(1、2)上及びN+1配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクト(1、2)から張り出して配置された、線幅が主配線(3、4)と同じあるいは主配線(3、4)よりも狭いN+1層カバレッジ領域(16、18)と、N層ヴィアコンタクト(1、2)下及びN配線層の配線方向に対して90度方向及び270度方向にのみN層ヴィアコンタクト(1、2)から張り出して配置された、線幅が主配線(5、6)と同じあるいは主配線(3、4)よりも狭いN層カバレッジ領域(15、17)を含んでいる。ここで、第2の実施の形態においては、カバレッジ領域とは

カバレッジ配線と同義である。

【0052】また、第2の実施の形態に係わる半導体装置の設計方法を実行するためのプログラムは、第1の実施の形態と同様に、コンピュータ読み取り可能な記録媒体に保存しておいてもよい。この記録媒体をコンピュータシステムによって読み込ませ、このプログラムを実行して、第2の実施の形態に係わる半導体装置の設計方法を実現することができる。また、これらの記録媒体に記録されたプログラムを読み取り、そこに記述された手順に従って、一連の設計方法を実現するコンピュータシステムについても、図7に示したものを使用することができる。

【0053】第2の実施の形態によれば、第1の実施の形態と同様に、N+1層及びN層カバレッジ配線(15～18)がそれぞれN+1層主配線(3、4)及びN層主配線(5、6)の終端に続いて配置され、N層ヴィアコンタクト(1、2)よりも張り出して形成されているため、金属配線の終端に丸めが生じても、N+1層及びN層カバレッジ領域(15～18)で丸めが生じるため、N+1層主配線(3、4)及びN層主配線(5、6)の終端で発生する丸めを抑えることができる。したがって、ヴィアコンタクトと主配線との接触不良あるいはオープン不良を抑えることができる。また、金属配線のレイアウト作業において、自動配線ツールにかけるヴィアコンタクトの情報に、カバレッジ領域を予め含ませることにより、マスク描画データ作成時にカバレッジ領域を補正パターンとして主配線に付与することがないで、設計パターンのデータ量が増加することなく、マスク描画データの作製で時間を短縮し、半導体装置の開発期間を短縮することができる。

【0054】

【発明の効果】以上説明したように本発明によれば、金属配線とヴィアコンタクトの接触不良が少なく、且つ、集積度の高い半導体装置、その設計方法、及びその設計プログラムを格納したコンピュータ読み取り可能な記録媒体を提供することができる。

【0055】また本発明によれば、開発期間を短くした半導体装置、その設計方法、及びその設計プログラムを格納したコンピュータ読み取り可能な記録媒体を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係わる半導体装置の金属配線を示す平面図である。

【図2】図1の設計グリッドV2に沿った断面図である。

【図3】図3(a)は、図1の設計グリッドH3に沿った断面図であり、図3(b)は、図1の設計グリッドH1に沿った断面図である。

【図4】本発明の第1の実施の形態に係わる半導体装置の設計方法を示す平面図である。

【図5】図4の設計グリッドV2に沿った断面図である。

【図6】図6(a)は、図4の設計グリッドH3に沿った断面図であり、図6(b)は、図4の設計グリッドH1に沿った断面図である。

【図7】本発明の第1の実施の形態に係わる半導体装置の設計方法を実現するコンピュータシステムの概観を示す鳥瞰図である。

【図8】本発明の第2の実施の形態に係わる半導体装置の金属配線を示す平面図である。

【図9】図8の設計グリッドV2に沿った断面図である。

【図10】図10(a)は、図8の設計グリッドH3に沿った断面図であり、図10(b)は、図8の設計グリッドH1に沿った断面図である。

【図11】従来技術に係わる金属配線の設計パターンを示す平面図である。

【図12】図11に従って製造された金属配線パターンを示す平面図である。

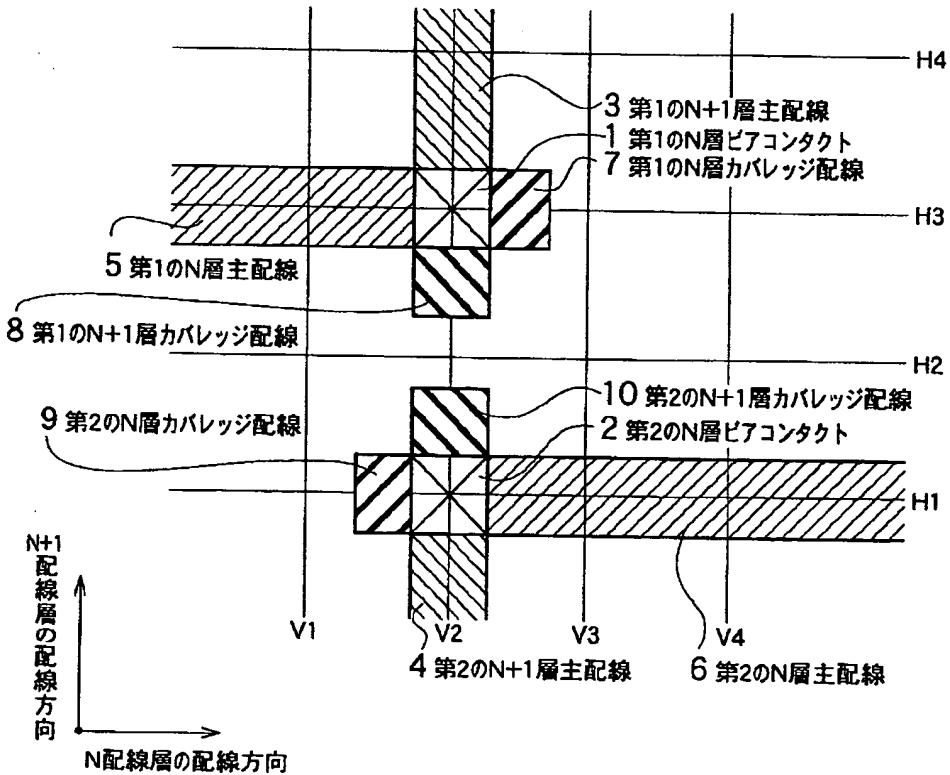
* 【図13】図12の設計グリッドV2に沿った断面図である。

【図14】ヴィアコンタクト周辺全体にカバレッジが形成された金属配線を示す平面図である。

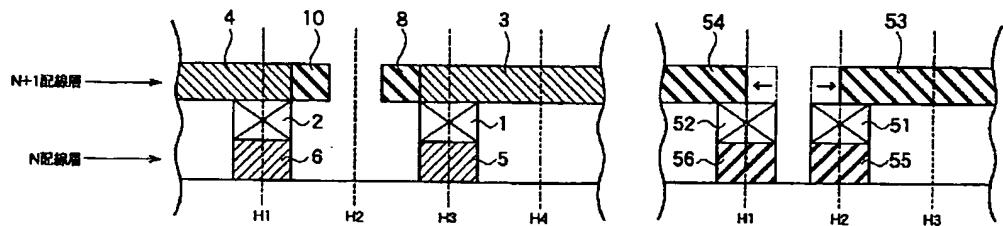
【符号の説明】

- 1 第1のN層ヴィアコンタクト
- 2 第2のN層ヴィアコンタクト
- 3 第1のN+1層主配線
- 4 第2のN+1層主配線
- 5 第1のN層主配線
- 6 第2のN層主配線
- 7、15 第1のN層カバレッジ配線
- 8、16 第1のN+1層カバレッジ配線
- 9、17 第2のN層カバレッジ配線
- 10、18 第2のN+1層カバレッジ配線
- 11 第1のN層カバレッジ領域
- 12 第1のN+1層カバレッジ領域
- 13 第2のN層カバレッジ領域
- 14 第2のN+1層カバレッジ領域

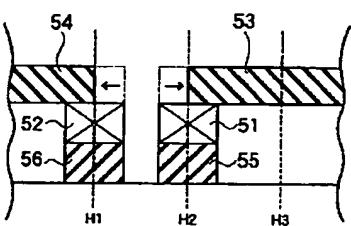
【図1】



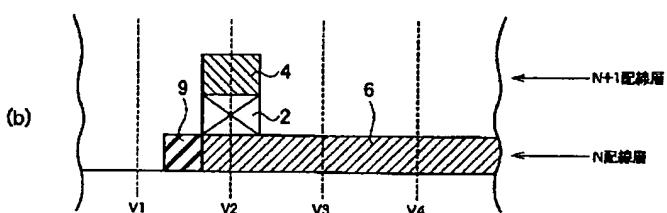
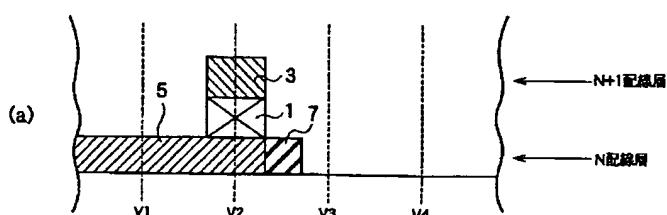
【図2】



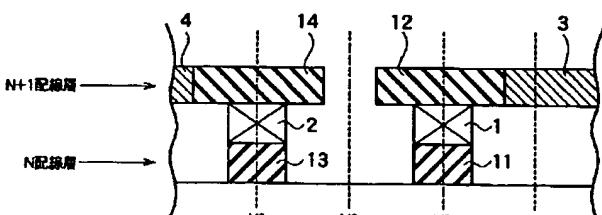
【図13】



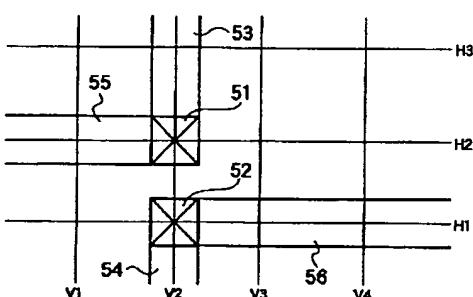
【図3】



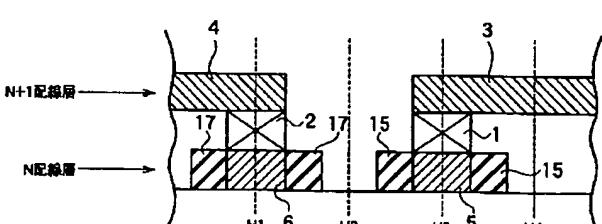
【図5】



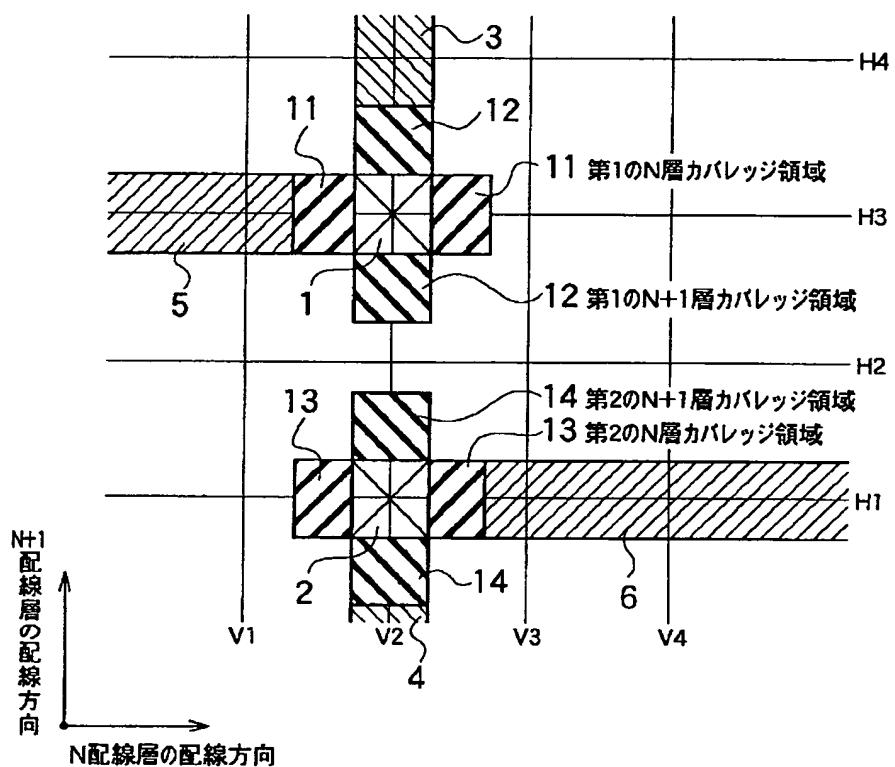
【図11】



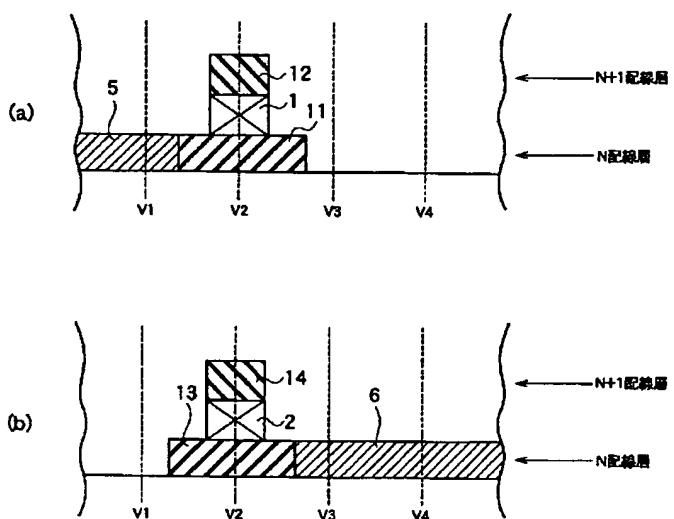
【図9】



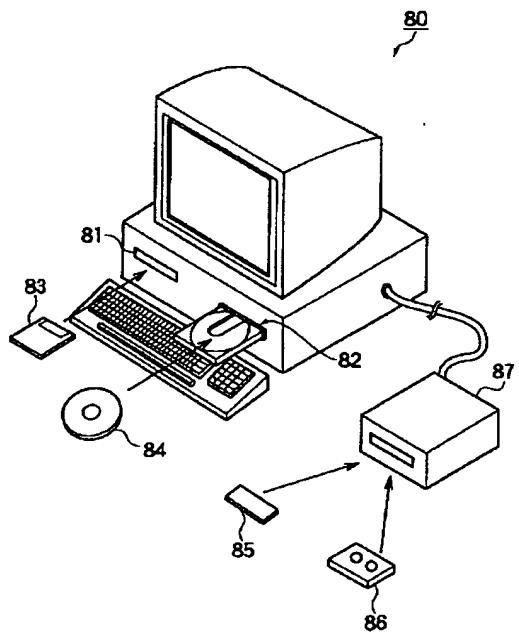
【図4】



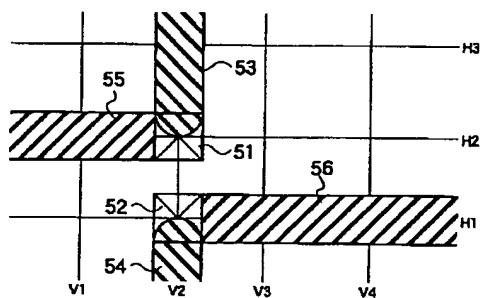
【図6】



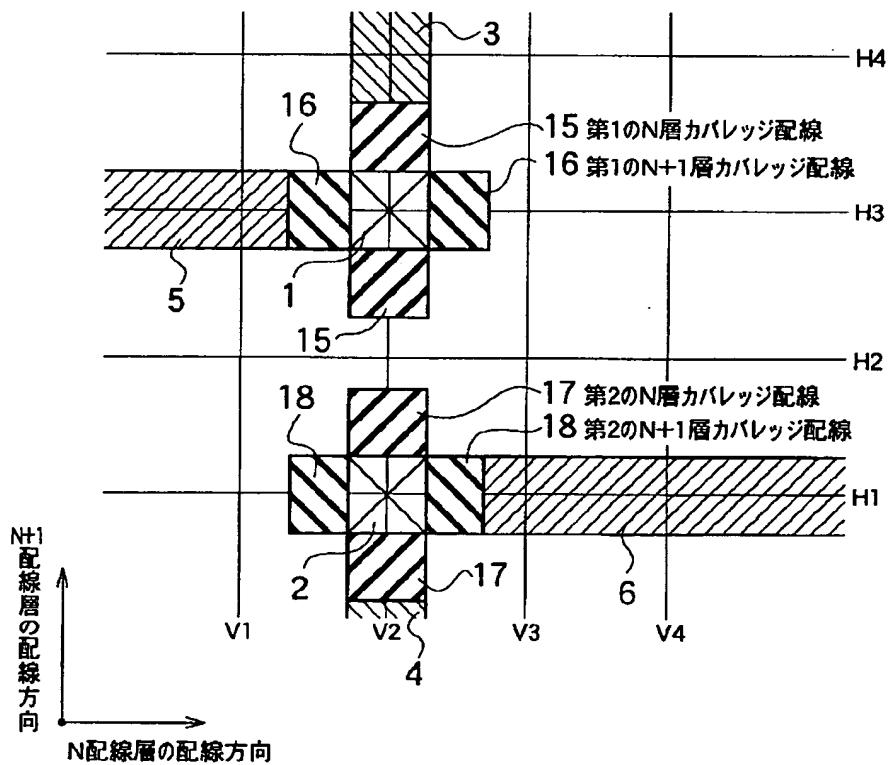
【図7】



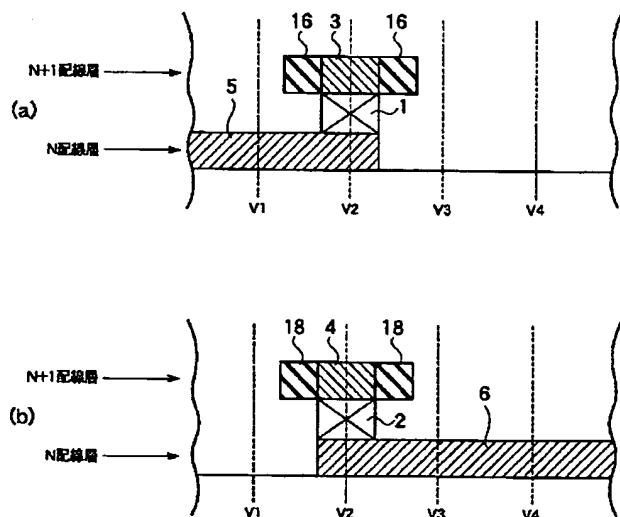
【図12】



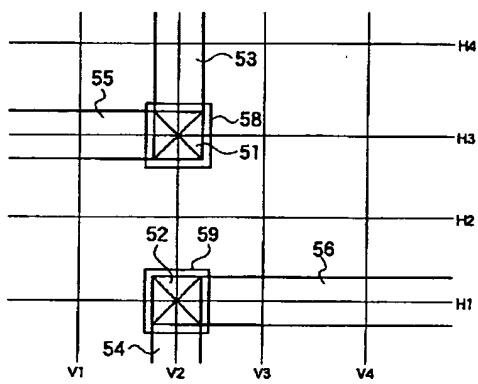
【図8】



【図10】



【図14】



フロントページの続き

(72)発明者 清 俊和

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) SB046 AA08 BA06 CA04 DA02 FA12
SF033 MM21 UU04 XX09
SF064 EE02 EE08 EE20 EE26 EE27
HH06